

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-307394

(43)Date of publication of application : 21.11.1995

(51)Int.Cl.

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 07-120340

(71)Applicant : TEXAS INSTR INC <TD>

(22)Date of filing : 10.04.1995

(72)Inventor : MEI CHIA-CU P

(30)Priority

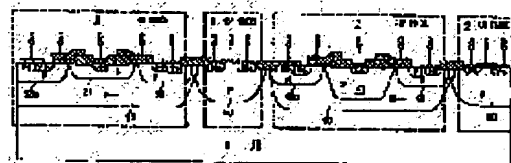
Priority number : 94 224948 Priority date : 08.04.1994 Priority country : US

(54) EXPANDED DRAIN RESURF LATERAL DMOS DEVICE

(57)Abstract:

PURPOSE: To simply produce at a low cost an integrated circuit having high voltage PMOS devices and/or high voltage NMOS devices and low voltage PMOS devices and/or low voltage NMOS devices and devices adaptable to semiconductor treating steps in many systems.

CONSTITUTION: The breakdown voltage of a high voltage device can be easily adjusted to optimize the value of Ron. Using substantially the same process steps of forming a low voltage MOS device, high voltage MOS devices are formed on a substrate. The impurity concn. level, for HV drift region n-type tank 21 and P-type tank 41 is selected so that the depletion region distance with boundary at both end equi-potential lines is less than the physical size of the drift region 21, thereby obtaining a low value of Ron.



LEGAL STATUS

[Date of request for examination] 15.02.2002

[Date of sending the examiner's decision of rejection] 11.03.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-307394

(43) 公開日 平成7年(1995)11月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8238

27/092

29/78

H 0 1 L 27/ 08

3 2 1 E

29/ 78

3 0 1 W

審査請求 未請求 請求項の数2 書面 (全 33 頁)

(21) 出願番号 特願平7-120340

(22) 出願日 平成7年(1995)4月10日

(31) 優先権主張番号 2 2 4 9 4 8

(32) 優先日 1994年4月8日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッド

アメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72) 発明者 チアーク・ビー・メイ

アメリカ合衆国テキサス州プラノ, ナイト
フォール ドライブ 4100

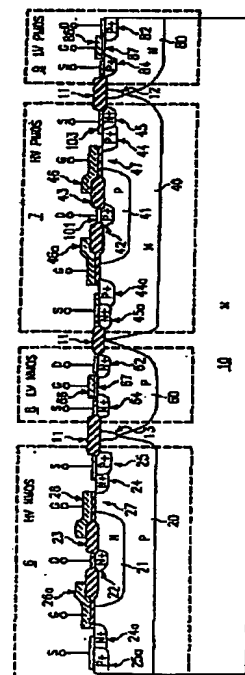
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 拡大ドレインRESURF横DMOS装置

(57) 【要約】 (修正有)

【目的】 高電圧PMOS装置および/または高電圧NMOS装置、および低電圧PMOS装置および/または低電圧NMOSを有する集積回路と、多くの方式の半導体処理工程に適応可能である前記装置とを、製造する簡単でかつ低コストの方法を提供する。

【構成】 R_{on} の値を最適化することができるように、前記高電圧装置のブレークダウン電圧を容易に調整することができる。低電圧MOS装置を作成すると事実上同じ工程段階を用いて、高電圧MOS装置が基板の上に作成される。両端の等電位線を境界とする欠乏領域距離は、ドリフト領域21の物理的寸法より小さいように、HVドリフト領域N形タンク21およびP形タンク41に対する不純物濃度レベルを選定することにより、低い値の R_{on} が得られる。



【特許請求の範囲】

【請求項1】 低電圧トランジスタを低電圧ウエルの中に作成することができるようにかつ半導体基板から分離することができるように、前記半導体基板の中に前記低電圧ウエルを作成する段階と、高電圧トランジスタを高電圧ウエルの中に作成することができるようにかつ前記半導体基板から分離することができるように、前記半導体基板の中に前記高電圧ウエルを同時に作成する段階と、を有する、低電圧装置と高電圧装置とを備えた集積回路の製造法。

【請求項2】 半導体性基板の中に作成され、かつ一定の不純物濃度レベルを有する、ウエルと、前記ウエルの中に作成され、かつ反対形の不純物濃度レベルを有する、ドリフト領域と、前記ドリフト領域の中に作成されたドレインと、前記ドリフト領域の中に作成され、かつ前記ドレインに電圧が加えられる時前記ドレインに連結されかつそれにより $R_{ds(on)}$ が最小にされる、拡大ドレインと、を有する、高電圧トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路の分野に関する。さらに詳細に言えば、本発明は、高電圧CMOS装置に関する。

【0002】

【従来の技術およびその問題点】 制御機能と駆動機能とを組み合わせる有する集積回路は、高性能電力装置と呼ばれることが多い。高性能電力装置は、高い知能と低い電力消費とを組み合わせる有する。これらは、典型的には、論理電圧が典型的には5ボルトまたはそれ以下である通常の相補形金属・酸化物・半導体(CMOS)とは異なって、15〜18ボルトのような高い電圧で動作するように設計されたそれらの出力段階に、そして駆動器機能と制御器機能との両方が1個のチップの中に備えられるように論理回路と同じ集積回路に組み込まれた、電力用金属・酸化物・半導体(CMOS)電界効果トランジスタ(FET)を有する。液晶表示装置(LCD)と、電気/機械装置と、自動車電子装置と、投射TVと、高品質TV(HDTV)とのような、多くの応用が存在する。

【0003】 高電圧(HV)MOS装置を製造する1つの技術は、論文「高電圧薄膜装置(High Voltage Thin Layer Devices)(RESURF装置)」、IEDMプロシーディングス、1979年、238頁〜241頁、に開示されている。この技術は、装置のドレイン領域とチャンネル領域との間に、わずかに不純物が添加された浅い領域を使用する。このわずかに不純物が添加された浅い領域は、ドリフト領域と呼ばれる。それは、添加不純物量が低レベルであるために、利用できる電流キャリア(このキャリアは電

子または「ホール」である)の量が少ないためであり、そしてこの装置は、縮小された表面電界(Reduced Surface Field)(RESURF)装置として知られている。

【0004】 RESURF技術は、高電圧Nチャンネル横2重拡散MOS(LDMOS)装置およびPチャンネルLDMOS装置の製造に用いられる。けれども、このようなRESURF LDMOS装置を有する高性能電力装置を製造する際、種々の問題点がある。従来の高電圧電力装置は、高電圧Nチャンネル(HV NMOS)装置および高電圧Pチャンネル(HV PMOS)装置を最適化するために、典型的には、2重ツイン・ウエル(タンク)注入を用いる。図1は、このような2重ツイン・ウエル注入工程により製造された典型的な高性能電力装置の横断面図である。高電圧装置HV NMOS6と、高電圧装置HV PMOS7と、低電圧装置LV NMOS8と、低電圧装置LV PMOS9とが、N形基板10の上に配置される。HV NMOS6は、P形ウエル20の中にあるN形タンク21と、P形ウエル20の中にありそしてN形タンク21に隣接したDウエル28および28aとを有する。HV PMOS7は、N形ウエル40の中にあるP形タンク41と、N形ウエル40の中にありそしてP形タンク41に隣接したDウエル48および48aとを有する。LV NMOS8はP形ウエル60を有し、そしてLV PMOS9はN形ウエル80を有する。従来の2重ツイン・ウエル(タンク)工程では、N形タンク21とDウエル48とP形タンク41とDウエル28とは、典型的には、低電圧CMOS装置8および9のウエル60および80を作成するために用いられた工程とは異なる、相互に妥協した最適化工程を必要とする。分離した注入段階と拡散段階とが必要である。

【0005】 2重ツイン・ウエル注入工程は、低電圧CMOS装置の電気的パラメータを保持したまま、Nチャンネル高電圧装置およびPチャンネル高電圧装置の電気的パラメータを最適化するために、多重交差工程段階を必要とすることは好ましいことではない。標準形の低電圧CMOS装置および標準形の高電圧PMOS装置およびNMOS装置を有する集積回路を製造することは、典型的には、HV PMOS装置およびHV NMOS装置に対し、余分の多くの工程段階を必要とする。

【0006】

【問題点を解決するための手段】 したがって、本発明の1つの目的は、高性能電力装置を製造するための単純な方法を得ることである。

【0007】 本発明のまた別の目的は、同じ集積回路の上に低電力MOS装置および高電力MOS装置を製造するのに要求される工程段階を省略した製造法を得ることである。

【0008】 本発明のその他の目的およびその他の利点

は、添付図面を参照しての下記説明により、当業者には容易に理解されるであろう。

【0009】2重ツイン・ウエル（タンク）注入を用いた高電圧電力装置を作成する従来の技術とは異なって、本発明では、RESURF LDMOS高電圧装置を単純に作成する際にHV PMOS装置および／またはHV NMOS装置の中にドリフト領域と共に、およびCMOS低電力装置と共に両立可能に、2重の単一ウエル工程を用いる。

【0010】

【実施例】図面は異なっても対応する番号および記号は、特に断らない限り、対応する部品を示す。

【0011】本発明の1つの好ましい実施例を下記で説明する。表1は、図面で用いられる素子名および参照番号を示し、一方、表2には、種々の素子の機能、特定の実施例、およびまた別の実施例が示されている。表1および表2は、本明細書の中に取り込まれており、そして本明細書の一部分を構成している。

【0012】図2は、HV NMOS装置6と、HV PMOS装置7と、LV NMOS装置8と、LV PMOS装置9とを備えた、本発明により作成された集積回路の横断面図である。これらの装置のおおのほは、ウエルの中に作成される。これらのウエルは、これらの装置を基板から分離する。基板10は、約8〜12Ωcmという高い抵抗率を有するN形シリコンである。

【0013】図2に示されているように、HV NMO S装置6は、P形ウエル20の中にあるN形タンク21を有する。タンク21により、RESURFドリフト領域が得られる。N形タンク21の中に、HVドレイン22が作成される。HVソース24は、P形ウエル20の中に作成され、そしてHVゲート酸化物27およびHV フィールド酸化物23により、ドレイン22から分離される。HV P形ウエル接触体25は、P形ウエル20の中に作成される。HVゲート電極26は、ゲート酸化物27とフィールド酸化物23との上に配置される。オプションのミラー画像ゲートおよびソースは、P形ウエル20の中に作成されたHVソース24aで構成されることが示されている。このオプションのミラー画像ゲートおよびソースは、HVゲート酸化物27aおよびHV フィールド酸化物23aと、P形ウエル20の中に作成されたHV P形ウエル接触体25aと、ゲート酸化物27aとフィールド酸化物23aとの上に作成されたHVゲート電極26aとにより、ドレイン22から分離される。

【0014】図2に示されているように、HV PMOS装置7は、N形ウエル40の中にあるP形タンク41を有する。タンク41により、RESURFドリフト領域が得られる。P形タンク41の中に、HVドレイン42が作成される。HVソース44は、N形ウエル40の中に作成され、そしてHVゲート酸化物47およびHV

フィールド酸化物43により、ドレイン42から分離される。HV N形ウエル接触体45は、N形ウエル40の中に作成される。HVゲート電極46は、ゲート酸化物47とフィールド酸化物43との上に配置される。HV NMOS装置6に対するのと同じように、オプションのミラー画像ゲートおよびソースは、N形ウエル40の中に作成されたHVソース44aで構成されることが示されている。このオプションのミラー画像ゲートおよびソースは、HVゲート酸化物47aおよびHV フィールド酸化物43aと、N形ウエル40の中に作成されたHV N形ウエル接触体45aと、ゲート酸化物47aとフィールド酸化物43aとの上に作成されたHVゲート電極46aとにより、ドレイン42から分離される。

【0015】図2に示されているように、LV NMOS装置8はP形ウエル60を有する。LVドレイン62およびLVソース64が、P形ウエル60の中に作成される。LVドレイン62およびLVソース64は、ゲート酸化物67により分離される。LVゲート電極66は、ゲート酸化物67の上に配置される。LV PMOS装置9はN形ウエル80を有する。LVドレイン82およびLVソース84が、N形ウエル60の中に作成される。LVドレイン82およびLVソース84は、ゲート酸化物87により分離される。LVゲート電極86は、ゲート酸化物87の上に配置される。

【0016】図2になお示されているように、および本発明により、P形ウエル20および60は、例えばホウ素を用いて、1つの段階で注入することができる。N形ウエル40および80は、例えばヒ素またはリンを用いて、1つの段階で注入することができる。P形ウエル20および60に対し、ホウ素を約 $2.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。N形ウエル40および80に対しては、ほぼ同じ濃度レベルにリンを注入すれば十分である。ウエルに注入を行った後、添加不純物を駆動するのに、ただ1回の拡散段階のみが必要である。したがって、HV NMOS装置6およびLV NMOS装置8のP形ウエル20および60には、同時に注入が行われる。同様に、HV PMOS装置7およびLV PMOS装置9のN形ウエル40および80には、同時に注入が行われる。ウエル20と、ウエル40と、ウエル60と、ウエル80とのすべてを、1回の拡散段階により、同じ深さまで駆動することができる。

【0017】図2になお示されているように、および本発明により、ドリフト領域N形タンク21は、例えばヒ素またはリンを用いて、注入することができ、そしてHV NMOS装置6に対して最適化することができる。また、ドリフト領域P形タンク41は、例えばホウ素を用いて、注入することができ、そしてHV PMOS装置7に対して最適化することができる。ドリフト領域P形タンク41に対し、ホウ素を約 $8.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。ドリフト領域N形タ

ンク21に対し、リンを約 $3.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。したがって、これら2つの単一ウエル20および40の中のこれら2つのドリフト領域タンク21および41(2重の単一ウエル)は、それぞれ、HV NMOS装置6およびHV PMOS装置7に対し好都合に最適化することができる。

【0018】図3～図16に、図2に示された装置を作成する処理工程が示されている。けれども、下記の図は、図2に示された分離したウエル40および80とは異なって、PMOS装置7および9は同じウエル40Aの中に作成されることに注目されたい。図3～図16はさらに、図2に示されたダブル・サイド装置とは異なって、HV NMOS装置6をシングル・サイド装置として示している。図3～図16は、図2の配置設計とは異なって、相互に続いて存在しおよびHV装置6とHV装置7との間に存在する、低電圧装置6および7を示している。

【0019】図3にはN形基板10が示されている。基板10の上に、第1酸化物層210が成長される。この第1酸化物層の上に、窒化物層220が沈着され、そしてこの窒化物がマスクされ、そしてエッチングが行われる。

【0020】図4には、注入の後のN形不純物添加体40Bが示されている。フォトレジスト230Bは、不純物添加体40Bが不必要に拡散することを防止する。注入は、酸化物層210と窒化物層220とを通して行われる。不純物添加体40Bを用いて、タンク40Aが作成される。

【0021】図5には、注入の後のP形不純物添加体20Aおよび60Aが示されている。フォトレジスト230Cは、不必要な拡散から不純物添加体20Aおよび60Aをマスクする。20Aと60Aとに対して同じ添加不純物が用いられ、1回の注入段階で注入が行われる。領域20Aおよび60Aを用いて、対応するタンク20および60が作成される。

【0022】図6は1回の拡散段階を行った結果を示した図である。この拡散段階により、N形不純物添加体40BおよびP形不純物添加体20Aおよび60Aは、HV P形ウエル20と、LV P形ウエル60と、HV/LV N形ウエル40Aを形成する。この拡散により、すべてのウエルの中の添加不純物は、約 $8 \mu\text{m}$ のほぼ同じ深さまで、基板10の中に駆動される。

【0023】図7には、フォトレジスト230Eを通して注入を行った後のN形不純物添加体12Aおよび21Aが示されている。不純物添加体21Aは、HV P形ウエル20の中にある。不純物添加体21Aの中の不純物添加濃度は、下記で説明されるように、HV NMOS装置6のオン抵抗値を最小にするように選定される。

【0024】図8には、フォトレジスト230Fにより作成されたパターンを通して注入を行った後の、P形注

入体13Aおよび41Aが示されている。不純物添加体41Aは、N形ウエル40Aの中にある。不純物添加体41Aの中の不純物添加濃度は、下記で説明されるように、HV PMOS装置7のオン抵抗値を最小にするように選定される。

【0025】図9は、1回の拡散段階を行った結果を示す図である。この拡散段階により、HVドリフト領域N形タンク21と、HVドリフト領域P形タンク41と、Nチャンネル・ストップ体12およびPチャンネル・ストップ体13とが作成される。ドリフト領域の深さは、約 $1 \sim 2 \mu\text{m}$ に限定される。したがって、ソース・ドレイン電圧(V_{ds})を加えることに応答して欠乏領域がドリフト領域21および41の中に形成され、そしてその結果生ずる電界がこの装置の表面に影響を与える。このことにより、RESURF装置のよく知られた動作に従い、表面の電圧勾配が小さくなる。

【0026】図7に関して、Nチャンネル・ストップ体12またはPチャンネル・ストップ体13は、すべての装置の間にある必要はないことに注意しておかなくてはならない。よく知られているように、相互接続のための導電体からの電界により偽のチャンネルができそうな時のような必要な時、チャンネル・ストップ体12および13を装置の間に配置することができる。チャンネル・ストップ体は、必要でない時には省略することができる。説明を明確にするために、チャンネル・ストップ体12および13は残りの工程段階では示されない。

【0027】図3～図9に関して、HVウエル20および40Aの作成、およびHVドリフト領域タンク21および41の作成は、低電圧CMOS装置を作成するための工程段階以外の付加的工程段階を必要としないで、好都合に実行できることに注目されたい。

【0028】図10には、フィールド酸化物11と、HV NMOSフィールド酸化物23と、HV PMOSフィールド酸化物43とが示されている。これらは、窒化物220で被覆されない領域の上に、熱的に成長される。酸化物の成長の後、窒化物220が除去される。その後、露出した領域の上に、ダミー酸化物240が成長される。

【0029】図11には、P形ウエル60に合わせてN形チャンネルを注入するためのフォトレジスト・パターン230Iが示されている。チャンネル調整注入の従来の技術は、CMOS8の閾値はまた、もし必要ならば、上にあるフォトレジストを適切にパターンに作成することにより、この同じ段階で最適化することができる。

【0030】図12には、N形ウエル40Aに合わせてP形チャンネルを注入するためのフォトレジスト・パターン230Jが示されている。チャンネル調整注入は、CMOS9の閾値を最適化する。HV NMOS装置7の閾値はまた、もし必要ならば、上にあるフォトレジストを適切にパターンに作成することにより、この同じ段

10

20

30

40

50

階で最適化することができる。

【0031】図13には、注入の後のP形不純物添加体48が示されている。フォトリソスト230Kは、不純物添加体48が好ましくない拡散をすることを防止する。P形不純物添加体48は、フィールド酸化物43の作成の期間中に失われたホウ素を置き換える。

【0032】図14には、部分的HVゲート酸化物27Aおよび47Aが示されている。このゲート酸化物は、集積回路の上に酸化物を沈着し、そしてこの酸化物層をパターンに作成し、そしてエッチングすることにより作成される。この酸化物層の厚さは、図15に示されているように、後の段階で付加される酸化物と組み合わせてHVゲート酸化物27および47に対する目標厚さを生ずるように選定される。部分的HVゲート酸化物27Aおよび47Aの厚さは、例えば、800オングストロームである。

【0033】図15にはLVゲート酸化物67および87が示されている。集積回路全体の上に酸化物を沈着することにより作成され、HVゲート酸化物27および47が完成する。

【0034】図16に示されているように、ポリシリコンが沈着され、そしてエッチングが行われて、HVゲート電極26および46と、LHVゲート電極66および86とが作成される。その後、HV N+形ドレイン22と、HV N+形ソース24と、N+形接触体45と、LV N+形ドレイン62と、LV N+形ソース64とが、1回の注入段階で注入される。同様に、P+形接触体25と、HVP+形ドレイン42と、HV P+形ソース44と、LV P+形ドレイン82と、LV P+形ソース84とが、1回の注入段階で注入される。次に、ドレイン素子およびソース素子(22、24、25、42、44、45、62、64、82、および84)の全部が、1回の拡散段階で、ほぼ同じ深さまで拡散させることができる。その結果、図2の装置が得られるが、ただし、前記で説明したように、タンク40および80の代わりに単一のタンク40Aが得られる。

【0035】再び図16において、そして図2と比べると、同じウェルの中にまたは分離したウェルの中に、高電圧装置と低電圧装置とを作成することができる。図2では、HV PMOS装置7およびLV PMOS装置9は、分離したN形ウェル40および80の中に示されている。図16では、HV PMOS装置7およびLV PMOS装置9の両方は、同じN形ウェル40Aの中に示されている。

【0036】次に、よく知られた段階を実行することにより、集積回路を完成することができる。

【0037】図17を参照して、本発明のまた別の特徴を説明する。HV PMOS装置7の正規動作の際、ソース・ドレイン電圧 V_{ds} がP+形ソース44とP+形

ドレイン42との間に加えられる。HV P+形ソース44およびHV N形ウェル40は、典型的には、HV P+形ドレイン42に対して正である。ゲート電圧がHV PMOSゲート電極46に接続される。ゲート電圧(V_{gs})は、HVソースに対し、典型的には、約0~ V_{ds} の範囲内の値に保持される。HVドリフト領域P形タンク41の中に欠乏領域が形成され、そしてドリフト領域41とHVフィールド酸化物43とレベル間酸化物150との中に、電圧勾配が生ずる。等電位線301A~301Jは、電圧勾配がどのように配置されているかを示す。ドリフト領域41の中で、等電位線301Aは欠乏領域の中の最も低い電圧端(すなわち、最も低い正電圧の端)をほぼ示し、そして等電位線301Jは欠乏領域の中の最も高い電圧端(すなわち、最も高い正電圧の端)をほぼ定める。HV PMOS装置7の両端のドレイン・ソース電圧は、したがって欠乏領域は、典型的には、この装置がオフになった時に最大である。

【0038】さらに図17において、約15~80Vの範囲内で動作するように設計されたHV PMOS装置に対し、電圧ブレイクダウンを避けるために、等電位線301Aと等電位線301Jとの間に要求される最小距離D1は、HV PMOS装置7が1.8~2.0 μm の設計規則を用いた装置の上に製造される時、ドレイン42とドリフト領域41の端との間の物理的距離D2より小さい。本発明により、ドリフト領域の不純物濃度を、先行技術のRESURF装置に用いられた高いレベルまで増加することができることが発見された。不純物濃度が増加される時、ドリフト領域の抵抗率は低下するが、欠乏領域が広がっている距離は減少する。

【0039】さらに図17において、欠乏領域が広がっている距離D1は、この装置が耐えられるように設計されたブレイクダウン電圧にこの装置が耐えるのに必要な距離よりも大幅に大きくない距離にまで、小さくすることができる。ドリフト領域の中の不純物濃度を増加させる効果は、欠乏領域が広がっている距離D1を小さくすることであり、そしてドリフト領域の中に拡大ドレイン領域320を形成することである。ドリフト領域41の抵抗率 R_{on} はオン抵抗値の主要な成分であるから、ドリフト領域に対する不純物濃度をできるだけ大きく選定することにより、 R_{on} ができるだけ小さくされる。表2に示されているように、また別のブレイクダウン電圧を備えたHV PMOS装置を構成することができる。約1.0 μm から約2.5 μm までの範囲の深さで、約 $1.0 \times 10^{16} / \text{cm}^3$ から約 $1.0 \times 10^{17} / \text{cm}^3$ までの範囲のホウ素濃度により、約15ボルトから約80ボルトまでの範囲のブレイクダウン電圧を有するHV PMOS装置7が得られる。約44ボルトのブレイクダウン電圧と約1.8 $\text{M}\Omega \text{cm}^2$ のオン抵抗率とを有するHV PMOS装置が、ドリフト領域の不純物濃度が約 $8.0 \times 10^{16} / \text{cm}^3$ の時に得ることができ

ることが、実験の結果決定された。

【0040】図18において、本発明のHV NMOS装置6への応用が説明される。等電位線401Aは欠乏領域の最も高い電圧端（すなわち、最も高い正電圧の端）をほぼ定め、そして等電位線401Hは欠乏領域の中の最も低い電圧端（すなわち、最も低い正電圧の端）をほぼ定める。この装置が耐えられるように設計されたブレークダウン電圧にこの装置が耐えるのに必要な距離よりも、欠乏領域が広がっている距離D1aが大幅に大きくないように、距離D1aが減少して拡大ドレイン420を形成するまで、HVドリフト領域21の不純物レベルを増加することにより、前記で説明されたように、HV NMOS装置に対する R_{on} を小さくすることができる。

【0041】約40ボルトのブレークダウン電圧と0.7MΩcm²のオン抵抗率とを有するNMOS装置が、ドリフト領域の不純物濃度が約 $3.0 \times 10^{17} / \text{cm}^3$ の時に得ることができることが、実験の結果決定された。また別の濃度範囲が表2に示されている。

【0042】本発明により、多くの利点を得られる。従来可能であったよりもさらに多数個の高電圧装置を有する高性能電力集積回路を作成するために、本発明は従来の処理装置を利用することができる。

【0043】縮小された表面電界LDMOS装置の中のドリフト領域の深さと不純物濃度とを注意深く制御することにより、低電圧論理装置を作成するのに用いられるのと事実上同じ工程段階を用いて、高電圧PMOS装置および高電圧NMOS装置を作成することができる。約60ボルト以下のドレイン・ソース電圧(V_{ds})で動作するように設計された装置に対し、ドリフト領域の不純物濃度を先行技術のRESURF装置に用いられるレベル以上に増加することにより、オン抵抗値($R_{ds(on)}$)が、この特徴が用いられていない先行技術のRESURF装置から大幅に小さくされることがまた示された。この高電圧装置のブレークダウン電圧は、($R_{ds(on)}$)を最適化するように調整される。

【0044】本発明の1つの利点は、大部分のCMOS

製造工程に適用可能である単純な工程により、高電圧PMOS装置および高電圧NMOS装置を独立に、おのこの($R_{ds(on)}$)が最小になるように最適化することができることである。

【0045】本発明のまた別の利点は、低電圧装置と高電圧装置との両方を備えた集積回路の中の高電圧装置のブレークダウン電圧を、高電圧装置のオン抵抗値を最小にするように、調整する方法が得られることである。

【0046】本発明のまた別の利点は、1つの段階でN形ウエル20および60を注入する段階と、1つの段階でP形ウエル40および80を注入する段階と、低電圧装置と高電圧装置に対しこのウエルを同時に拡散する段階とによる、単純化された工程が得られることである。

【0047】本発明のさらに別の利点は、チャンネル・ストップ体12と同じ段階でドリフト領域21を注入することができ、およびチャンネル・ストップ体13と同じ段階でドリフト領域41を注入することができ、および1回の拡散段階でドリフト領域21および41と、チャンネル・ストップ体12および13とを作成することができることである。これらの段階の期間中、ドリフト領域21の濃度とドリフト領域41の濃度とを最適化することができる。それは、チャンネル・ストップ体12および13の濃度が決定的ではないからである。

【0048】例示された実施例に基づいて本発明が説明されたが、この説明は、本発明の範囲がこれらの実施例に限定されることを意味するものではない。前記説明から当業者には、本発明の範囲内で種々の他の実施例の可能であることが理解されるであろう。例えば、種々の素子のまた別の例の非排他的な組が、表2に与えられている。また別の実施例では、N形基板またはP形基板10のいずれをも用いることができる。それは、すべての装置が、ウエル20、40、60および80により分離されているからである。したがって、これらの実施例を種々に変更した実施例はすべて、本発明の範囲内に含まれるものと理解されなければならない。

【0049】

【表1】

表 1	
素子	素子名
6	H V N M O S 装置
7	H V P M O S 装置
8	L V N M O S 装置
9	L V P M O S 装置
10	基板
11	フィールド酸化物
12	N形チャネル・ストップ体
13	P形チャネル・ストップ体
20	H V P 形ウエル
21	H V ドリフト領域 (N) 形タンク
22	H V N + 形ドレイン
23	H V N M O S フィールド酸化物
24, 24a	H V N + 形ソース

【表2】

表 1 (続き)	
素子	素子名
25, 25a	H V P + P 形接触体領域
26, 26a	H V N M O S ゲート電極
27	H V N M O S ゲート酸化物
40	H V N 形ウエル
41	H V ドリフト領域 (P) 形タンク
42	H V P + 形ドレイン
43	H V P M O S フィールド酸化物
44, 44a	H V P + 形ソース
45, 45a	H V N + N 形接触体領域
46, 46a	H V P M O S ゲート電極
47	H V P M O S ゲート酸化物
48	H V P M O S ドリフト領域リム調整
60	H V P 形ウエル
62	L V N + 形ドレイン
64	L V N + 形ソース
66	L V N M O S ゲート電極
67	L V N M O S ゲート酸化物
80	L V N 形ウエル
82	L V P + 形ドレイン
84	L V P + 形ソース
86	L V P M O S ゲート電極
87	L V P M O S ゲート酸化物
101	H V ドレイン電極
103	H V ソース電極
150	レベル間酸化物
210	第 1 酸化物
220	窒化物

【表 3】

表1 (続き)	
素子	素子名
230	フォトレジスト
240	ダミー酸化物
301A-301J	PMOS等電位線
320	PMOS拡大ドレイン
420	NMOS拡大ドレイン

【0050】

【表4】

表2			
素子	機能	特定の実施例 HVMOS絶縁層フラグメント=30V、 HVP MOS絶縁層フラグメント=30V、	別の実施例 HVフラグメント= 約 15-80V
10	基板	8-120cm(N-)Si、	8-120cm(P-)Si
11	装置の間の分離	熱的Si酸化物、 厚さ約9300Å	
12	偽チャンネルの生成 の禁止	作成された(P+)、 深さ約 2μm	
13	偽チャンネルの生成 の禁止	作成された(N+)、 深さ約 2μm	
20	局在した半導体性基 板ウェル	作成された(P)、 約 $2.0 \times 10^{16} / \text{cm}^3$ 、 深さ約 8μm	約 $1.0 \times 10^{16} \sim$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ約4.0-10.0μm、
21	表面電界を小さくす るためのドレイン欠 乏領域	作成された(N)、 約 $3.0 \times 10^{17} / \text{cm}^3$ 、 深さ約 1.1μm	約 $5.0 \times 10^{16} \sim$ $5.0 \times 10^{17} / \text{cm}^3$ 、 深さ約1.0-2.5 μm
22	高伝導度ドレイン接 触体領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5μm	

【表5】

表2 (続き)			
素子	機能	特定の実施例 HVN MOS 2 μ m プレ-リダクン=30V、 HVP MOS 2 μ m プレ-リダクン=30V、	別の実施例 HV プレ-リダクン= 約 15-80V
23	ドレインおよびソース領域からゲートを絶縁する	熱的Si酸化物、 深さ約 9700Å	
24	ソース領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μ m	
25	高伝導度タンク接触体領域	作成された(P+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μ m	
26	ゲート電極	ポリSi	Al, Cu のような金属
27	導電体領域からゲート電極を絶縁する	Si酸化物、 約 1000Å	
40	局存した半導体性基板ウエル	作成された(N)、 約 $1.5 \times 10^{16} / \text{cm}^3$ 、 深さ約 8 μ m	約 $1.0 \times 10^{15} \sim$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ約 4.0~10 μ m、
41	表面電界を小さくするためのドレイン欠乏領域	作成されたホウ素(P)、 約 $8.0 \times 10^{16} / \text{cm}^3$ 、 深さ約 1.1 μ m	約 $0.1-3.0 \times 10^{17} / \text{cm}^3$ 、 約 1.0-2.5 μ m
42	高伝導度ドレイン接触体領域	作成された(P+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μ m	
43	ドレインおよびドリフト領域からゲートを絶縁する	熱的Si酸化物、 約 9300Å	

【表6】

表2 (続き)			
素子	機能	特定の実施例 HVN MOS 閾値電圧=30V、 HVP MOS 閾値電圧=30V、	別の実施例 HV 閾値電圧= 約 15-80V
44	ソース領域	作成された(P+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
45	高伝導度タンク接触 体領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
46	ゲート電極	ポリ Si	Al, Cu のような金属
47	導電体領域からゲー トを絶縁する	沈着されたSi酸化物、 約 1000Å	
48	欠乏したホウ素を置 き換える	作成されたホウ素、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、	約 $0.5-1.5 \times 10^{19} / \text{cm}^3$
60	局在した半導体性基 板ウェル	作成された(P)、 約 $2.0 \times 10^{16} / \text{cm}^3$ 、	約 $1.0 \times 10^{15} -$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ 4.0-10.0 μm
62	ドレイン領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
64	ソース領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
66	ゲート電極	ポリ Si、	Al, Cu のような金属
67	ゲート電極を絶縁す る	沈着されたSi酸化物、 約 350Å	

【表7】

表 2 (続き)			
素子	機能	特定の実施例 HVN MOS2層ブルーニング=30V、 HVP MOS2層ブルーニング=30V、	別の実施例 HVブルーニング= 8 15-80V
80	局所した半導体性基板ウエル	作成された(N)、 約 $1.5 \times 10^{16} / \text{cm}^3$ 、 深さ約 0.5 μm	約 $1.0 \times 10^{15} -$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ 4.0-10.0 μm
82	ドレイン領域	作成された(P+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
84	ソース領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
86	ゲート電極	ポリSi、	Al、Cu のような金属
87	ゲート電極を絶縁する	Si酸化物、 約 350Å	
101	ドレイン電極	ポリSi、	4) Al、Cu のような金属 5) 耐熱金属ケイ化物
103	ソース電極	ポリSi、	4) Al、Cu のような金属 5) 耐熱金属ケイ化物
150	導電体層を絶縁する	Si酸化物	
210	窒化物に対しエッチング停止、 結晶表面を保護する	熱的酸化物、 約 400Å	
220	フィールド酸化物に対するマスク	沈着されたSi、N、 約 1200Å	
230	注入に対するマスク		
240	結晶表面を保護する	熱的酸化物、 約 400Å	

【表8】

表2 (続き)

素子	機能	特定の実施例 HVN MOS 閥用 プレ-ナゲーション=30V、 HVP MOS 閥用 プレ-ナゲーション=30V、	別の実施例 HV プレ-ナゲーション= # 15~80V
301A ~ 301J	等電位線	5 ボルト 段階差	
320	ソース・ドレインの 全抵抗値を最小にする	ドレイン欠乏領域を最小にするためにドリフト領域不純物添加量を最適化する	
401A ~ 401H	等電位線	5 ボルト 段階差	
420	ソース・ドレインの 全抵抗値を最小にする	ドレイン欠乏領域を最小にするためにドリフト領域不純物添加量を最適化する	

【0051】以上の説明に関して更に以下の項を開示する。

(1) 低電圧トランジスタを低電圧ウエルの中に作成することができるようにかつ半導体基板から分離することができるように、前記半導体基板の中に前記低電圧ウエルを作成する段階と、高電圧トランジスタを高電圧ウエルの中に作成することができるようにかつ前記半導体基板から分離することができるように、前記半導体基板の中に前記高電圧ウエルを同時に作成する段階と、を有する、低電圧装置と高電圧装置とを備えた集積回路の製造法。

(2) 第1項記載の製造法において、前記低電圧ウエルおよび前記高電圧ウエルの前記同時作成段階が半導体性基板を高電圧部分と低電圧部分とのパターンに作成する段階と、前記高電圧部分と前記低電圧部分との中に一定の濃度の不純物を同時に注入する段階と、前記半導体性基板の中の同じ深さまで前記高電圧部分および前記低電圧部分の中に前記濃度の不純物を拡散する段階と、を有する、前記製造法。

(3) 第2項記載の製造法において、前記ウエルが約 $2.0 \times 10^{16} / \text{cm}^3$ のN形不純物濃度を用いて注入され、かつ前記ウエルが前記半導体性基板の中に約 8

μm の深さまで拡散される、前記製造法。

(4) 第2項記載の製造法において、前記ウエルが約 $1.5 \times 10^{16} / \text{cm}^3$ のP形不純物濃度を用いて注入され、かつ前記ウエルが前記半導体性基板の中に約 8 μm の深さまで拡散される、前記製造法。

【0052】(5) 低電圧NMOSトランジスタを低電圧ウエルの中に作成することができるように、およびNMOS高電圧トランジスタを高電圧NMOSウエルの中に作成することができるように、半導体性基板を前記低電圧NMOSウエルおよび前記高電圧NMOSウエルのパターンに作成する段階と、前記低電圧NMOSウエルおよび前記高電圧NMOSウエルの中に第1P形不純物濃度を同時に注入する段階と、低電圧PMOSTランジスタを低電圧PMOSウエルの中に作成することができるように、および高電圧PMOSTランジスタを高電圧PMOSウエルの中に作成することができるように、前記半導体性基板を前記低電圧PMOSウエルおよび前記高電圧PMOSウエルのパターンに作成する段階と、前記低電圧PMOSウエルおよび前記高電圧PMOSウエルの中に第1N形不純物濃度を同時に注入する段階と、前記半導体性基板の中のほぼ同じ第1深さまで前記第1N形不純物濃

度および前記第 1 P 形不純物濃度を同時に拡散する段階と、を備えた、低電圧 PMOS 装置と、低電圧 NMOS 装置と、高電圧 PMOS 装置と、高電圧 NMOS 装置と、を有する集積回路の製造法。

(6) 第 5 項記載の製造法において、前記高電圧 PMOS ウエルを高電圧 PMOS ドリフト領域のパターン作成する段階と、前記高電圧 PMOS ドリフト領域に第 2 P 形不純物濃度を注入する段階と、前記高電圧 NMOS ドリフト領域に第 2 N 形不純物濃度を注入する段階と、前記ドリフト領域の中に前記第 2 N 形不純物濃度および前記第 2 P 形不純物濃度を同時に拡散する段階と、を有する前記製造法。

(7) 第 6 項記載の製造法において、前記第 1 P 形不純物濃度が約 $1.0 \times 10^{15} / \text{cm}^3$ から $5.0 \times 10^{16} / \text{cm}^3$ までの範囲内にあり、前記第 1 N 形不純物濃度が約 $1.0 \times 10^{15} / \text{cm}^3$ から $5.0 \times 10^{16} / \text{cm}^3$ までの範囲内にあり、前記第 1 深さが約 $4.0 \mu\text{m}$ から $10.0 \mu\text{m}$ までの範囲内にあり、前記第 2 P 形不純物濃度が約 $1.0 \times 10^{16} / \text{cm}^3$ から $3.0 \times 10^{17} / \text{cm}^3$ までの範囲内にあり、前記第 2 N 形不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ から $5.0 \times 10^{17} / \text{cm}^3$ までの範囲内にあり、前記第 2 深さが約 $1.0 \mu\text{m}$ から $2.5 \mu\text{m}$ までの範囲内にある、前記製造法。

【0053】(8) 第 6 項記載の製造法において、前記第 1 P 形不純物濃度が約 $2.0 \times 10^{16} / \text{cm}^3$ であり、前記第 1 N 形不純物濃度が約 $1.5 \times 10^{16} / \text{cm}^3$ であり、前記第 1 深さが約 $8.0 \mu\text{m}$ であり、前記第 2 P 形不純物濃度が約 $8.0 \times 10^{16} / \text{cm}^3$ であり、前記第 2 N 形不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ であり、前記第 2 深さが約 $1.1 \mu\text{m}$ である、前記製造法。

(9) 半導体性基板の中に作成され、かつ一定の不純物濃度レベルを有する、ウエルと、前記ウエルの中に作成され、かつ反対形の不純物濃度レベルを有する、ドリフト領域と、前記ドリフト領域の中に作成されたドレインと、前記ドリフト領域の中に作成され、かつ前記ドレインに電圧が加えられる時前記ドレインに連結されかつそれにより $R_{ds(on)}$ が最小にされる、拡大ドレインと、を有する、高電圧トランジスタ。

【0054】(10) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1 \times 10^{15} / \text{cm}^3$ から $5 \times 10^{16} / \text{cm}^3$ までの範囲内にあって P 形であり、前記ドリフト領域不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ から $5 \times 10^{17} / \text{cm}^3$ までの範囲内にあって N 形である、前記高電圧トランジスタ。

(11) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $2 \times 10^{16} / \text{cm}^3$ で P 形であり、前記ドリフト領域不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ で N 形である、前記高電圧トランジスタ。

タ。

(12) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1 \times 10^{15} / \text{cm}^3$ から $5 \times 10^{16} / \text{cm}^3$ までの範囲内にあって N 形であり、前記ドリフト領域不純物濃度が約 $1 \times 10^{16} / \text{cm}^3$ から約 $3 \times 10^{17} / \text{cm}^3$ までの範囲内にあって P 形である、前記高電圧トランジスタ。

(13) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1.5 \times 10^{16} / \text{cm}^3$ で N 形であり、前記ドリフト領域不純物濃度が約 $8 \times 10^{16} / \text{cm}^3$ で P 形である、前記高電圧トランジスタ。

(14) 第 1 項記載の製造法において、前記低電圧ウエルの中に低電圧トランジスタを作成する段階と、前記高電圧ウエルの中に高電圧トランジスタを作成する段階と、をさらに有する、前記製造法。

【0055】(15) 半導体性基板の中に低電圧ウエルと高電圧ウエルとを同時に作成する段階と、前記低電圧ウエルが低電圧トランジスタを前記半導体性基板から分離するように、前記低電圧トランジスタを前記低電圧ウエルの中に作成する段階と、前記高電圧ウエルが高電圧トランジスタを前記半導体性基板から分離するように、前記高電圧トランジスタを前記高電圧ウエルの中に作成する段階と、を有する、低電圧装置および高電圧装置を備えた集積回路の製造法。

(16) 第 5 項記載の製造法において、低電圧 NMOS ウエルの中に低電圧 NMOS トランジスタを作成する段階と、低電圧 PMOS ウエルの中に低電圧 PMOS トランジスタを作成する段階と、高電圧 NMOS ウエルの中に高電圧 NMOS トランジスタを作成する段階と、高電圧 PMOS ウエルの中に高電圧 PMOS トランジスタを作成する段階と、をさらに有する、前記製造法。

(17) 高電圧 PMOS 装置および/または高電圧 NMOS 装置、および低電圧 PMOS 装置および/または低電圧 NMOS を有する集積回路と、多くの方式の半導体処理工程に適応可能である前記装置とを、製造する簡単でかつ低コストの方法が得られる。さらに、 R_{on} の値を最適化することができるように、前記高電圧装置のブレークダウン電圧を容易に調整することができる。低電圧 MOS 装置 8 および 9 を作成すると事実上同じ工程段階を用いて、高電圧 MOS 装置 6 および 7 が基板 10 の上に作成される。等電位線 301A および等電位線 301J を境界とする欠乏領域距離 D1、および等電位線 401A および等電位線 401H を境界とする欠乏領域距離 D1a は、それぞれ、ドリフト領域 41 および 21 の物理的寸法 D2 および D2a より小さいように、HV ドリフト領域 N 形タンク 21 および HV ドリフト領域 P 形タンク 41 に対する不純物濃度レベルを選定することにより、低い値の R_{on} が得られる。

【図面の簡単な説明】

【図1】同じ基板の上に従来の技術を用いて製造されたHV NMOSと、HV PMOSと、LV NMOSと、LV PMOSとを示した集積回路の横断面図。

【図2】同じ基板の上に本発明の技術を用いて製造されたHV NMOSと、HV PMOSと、LV NMOSと、LV PMOSとを示した集積回路の横断面図。

【図3】本発明による集積回路を製造する好ましい方法の最初の段階を示した横断面図。

【図4】本発明による集積回路を製造する好ましい方法の図3に示された段階の次の段階を示した横断面図。

【図5】本発明による集積回路を製造する好ましい方法の図4に示された段階の次の段階を示した横断面図。

【図6】本発明による集積回路を製造する好ましい方法の図5に示された段階の次の段階を示した横断面図。

【図7】本発明による集積回路を製造する好ましい方法の図6に示された段階の次の段階を示した横断面図。

【図8】本発明による集積回路を製造する好ましい方法の図7に示された段階の次の段階を示した横断面図。

【図9】本発明による集積回路を製造する好ましい方法の図8に示された段階の次の段階を示した横断面図。

【図10】本発明による集積回路を製造する好ましい方法の図9に示された段階の次の段階を示した横断面図。

【図11】本発明による集積回路を製造する好ましい方法の図10に示された段階の次の段階を示した横断面図。

【図12】本発明による集積回路を製造する好ましい方法の図11に示された段階の次の段階を示した横断面図。

【図13】本発明による集積回路を製造する好ましい方法の図12に示された段階の次の段階を示した横断面図。

【図14】本発明による集積回路を製造する好ましい方法の図13に示された段階の次の段階を示した横断面図。

【図15】本発明による集積回路を製造する好ましい方法の図14に示された段階の次の段階を示した横断面図。

【図16】本発明による集積回路を製造する好ましい方法の図15に示された段階の次の段階を示した横断面図。

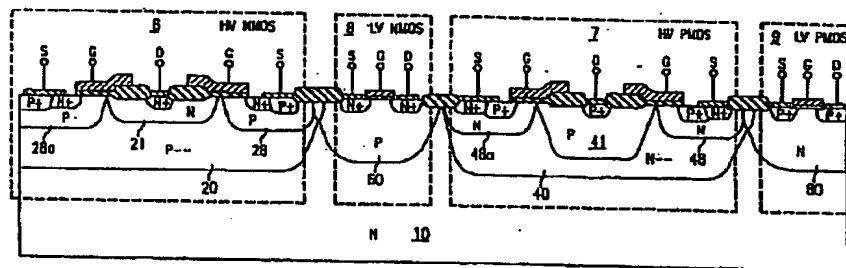
【図17】電界の等電位線および拡大ドレイン領域を示したHV PMOS装置の横断面図。

【図18】電界の等電位線および拡大ドレイン領域を示したHV NMOS装置の横断面図。

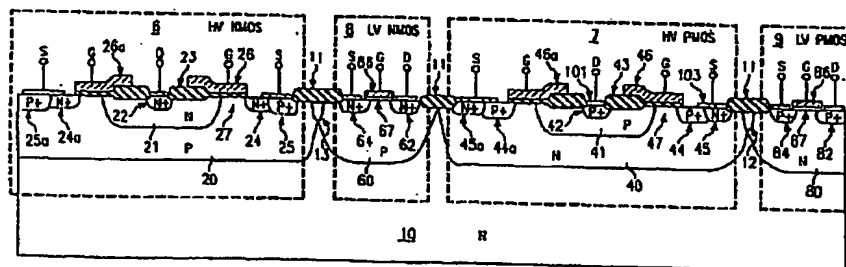
【符号の説明】

20、40	ウェル
21、41	ドリフト領域
22、42	ドレイン
320、420	拡大ドレイン

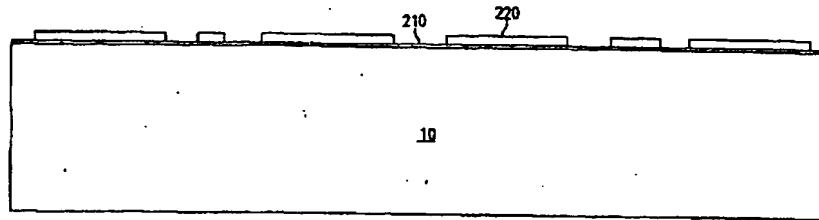
【図1】



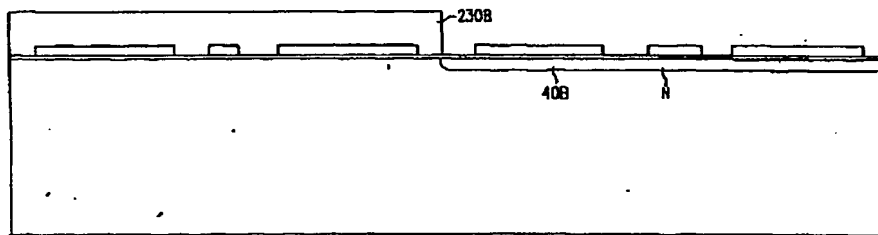
【図2】



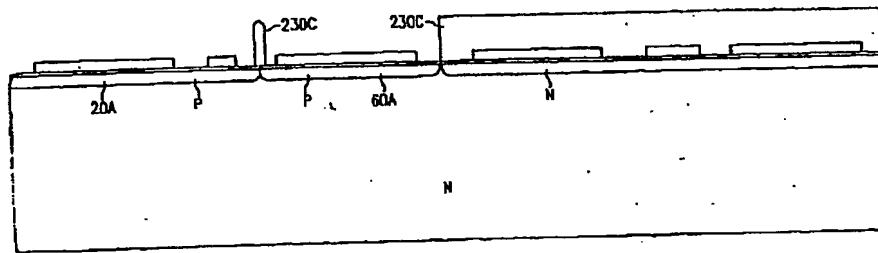
【図3】



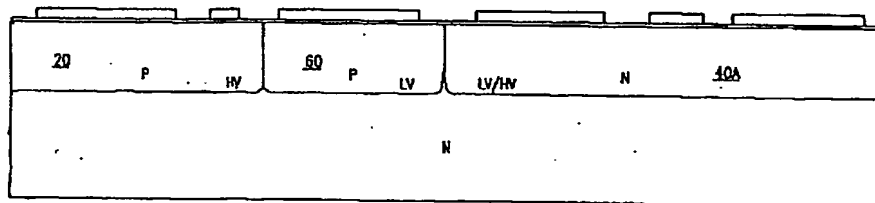
【図4】



【図5】



【図6】



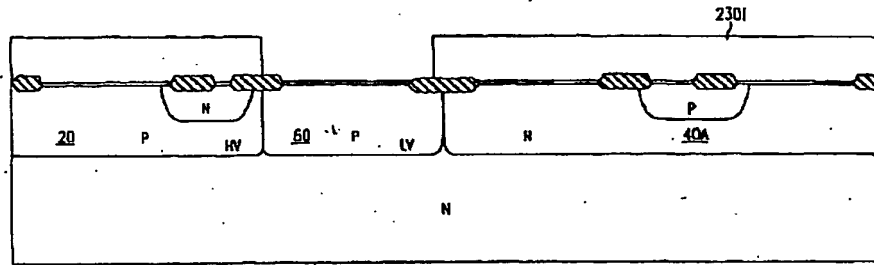
20 21A N HV P 60 LV P 230E N 12A N 40A N

This cross-sectional view shows a semiconductor device with a central channel region 230F. On either side of the channel are regions 20 and 40A. Region 20 contains a p-type layer P and an n-type layer N, with a p-n junction 21A. Region 40A contains an n-type layer N and a p-type layer P, with a p-n junction 41A. The channel region 230F is flanked by p-type layers P and n-type layers N, with p-n junctions 13A and 14A. The device is built on a substrate N.

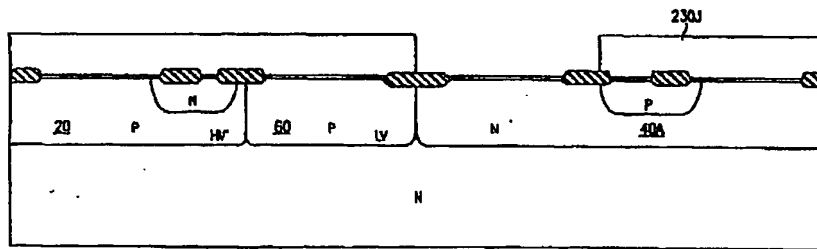
Figure 1 is a schematic diagram of a multi-layered structure. The top layer contains several rectangular blocks. The middle layer is divided into sections by vertical lines and contains the following labels from left to right: 20, 21, N, P, 13, 60, P, LV, N, 12, N, P, 41, and 40A. The bottom layer contains a large label N.

A schematic diagram of a transmission line system. The top horizontal line represents the transmission line, with several components connected to it. From left to right, there is a shaded rectangular component labeled '20'. This is followed by a shaded oval component labeled '23' with a bracket underneath labeled 'N'. Next is a shaded rectangular component labeled '11' with a bracket underneath labeled 'H'. This is followed by a shaded rectangular component labeled '11' with a bracket underneath labeled 'LV'. Then is a shaded rectangular component labeled '11' with a bracket underneath labeled 'N'. This is followed by a shaded oval component labeled '43' with a bracket underneath labeled 'P'. Finally, there is a shaded rectangular component labeled '240'. The bottom horizontal line is a solid line. Below this line, there are several labels: 'P' under the first shaded oval (23), 'H' under the first shaded rectangle (11), 'LV' under the second shaded rectangle (11), and 'N' under the third shaded rectangle (11). There is also a label '40A' under the second shaded oval (43).

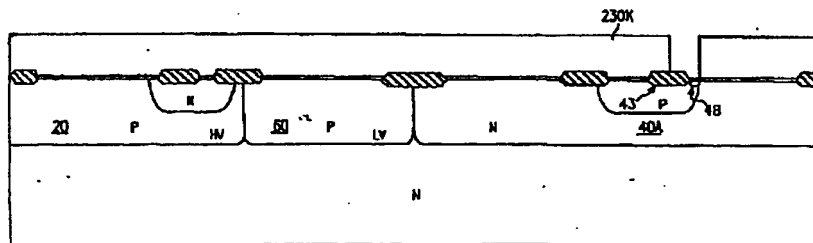
【図11】



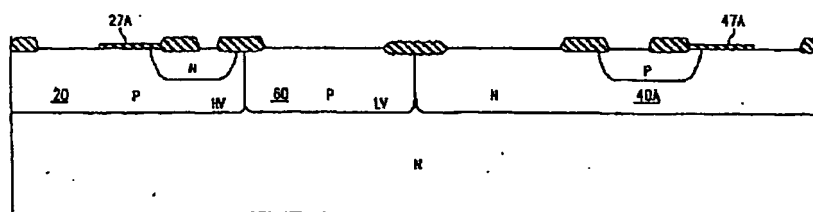
【図12】



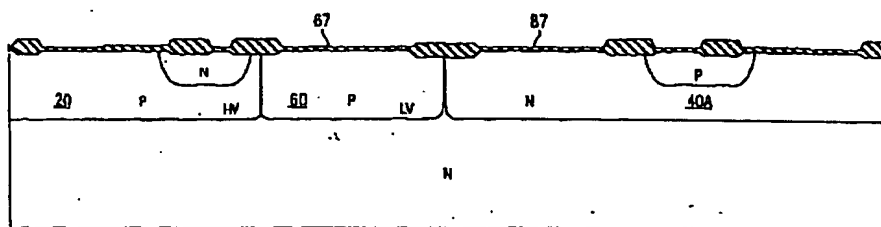
【図13】



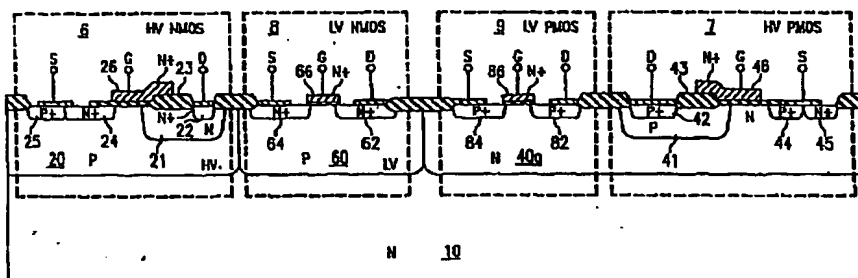
【図14】



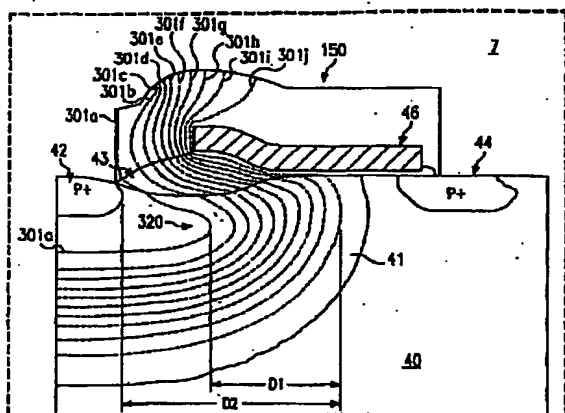
【図15】



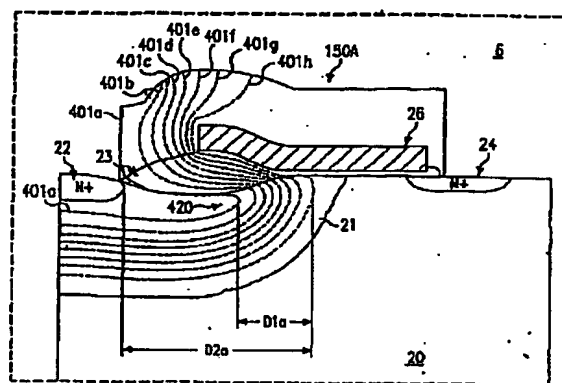
【図16】



【図17】



【図18】



【手続補正書】

【提出日】平成7年6月23日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】 拡大ドレインRESURF横DMOS装置

【特許請求の範囲】

【請求項1】 低電圧トランジスタを低電圧ウエルの中に作成することができるようにかつ半導体基板から分離することができるように、前記半導体基板の中に前記低電圧ウエルを作成する段階と、

高電圧トランジスタを高電圧ウエルの中に作成することができるようにかつ前記半導体基板から分離することができるように、前記半導体基板の中に前記高電圧ウエルを同時に作成する段階と、を有する、低電圧装置と高電圧装置とを備えた集積回路の製造法。

【請求項2】 半導体性基板の中に作成され、かつ一定の不純物濃度レベルを有する、ウエルと、前記ウエルの中に作成され、かつ反対形の不純物濃度レベルを有する、ドリフト領域と、前記ドリフト領域の中に作成されたドレインと、前記ドリフト領域の中に作成され、かつ前記ドレインに電圧が加えられる時前記ドレインに連結されかつそれにより $R_{ds(on)}$ が最小にされる、拡大ドレインと、を有する、高電圧トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体集積回路の分野に関する。さらに詳細に言えば、本発明は、高電圧CMOS装置に関する。

【0002】

【従来の技術およびその問題点】 制御機能と駆動機能とを組み合わせる有する集積回路は、高性能電力装置と呼ばれることが多い。高性能電力装置は、高い知能と低い電力消費とを組み合わせる有する。これらは、典型的には、論理電圧が典型的には5ボルトまたはそれ以下である通常の相補形金属・酸化物・半導体（CMOS）とは異なって、15～18ボルトのような高い電圧で動作するように設計されたそれらの出力段階に、そして駆動器機能と制御器機能との両方が1個のチップの中に備えられるように論理回路と同じ集積回路に組み込まれた、電力用金属・酸化物・半導体（CMOS）電界効果トランジスタ（FET）を有する。液晶表示装置（LCD）と、電気／機械装置と、自動車電子装置と、投射TVと、高品質TV（HDTV）とのような、多くの応用が存在する。

【0003】 高電圧（HV）MOS装置を製造する1つの技術は、論文「高電圧薄膜装置（High Voltage Thin layer Devices）（RESURF装置）」、IEDMプロシーディングス、1979年、238頁～241頁、に開示されている。この技術は、装置のドレイン領域とチャネル領域との間に、わずかに不純物が添加された浅い領域を使用する。このわずかに不純物が添加された浅い領域は、ドリフト領域と呼ばれる。それは、添加不純物量が低レベルであるために、利用できる電流キャリア（このキャリアは電子または「ホール」である）の量が少ないためであり、そしてこの装置は、縮小された表面電界（Reduced Surface Field）（RESURF）装置として知られている。

【0004】 RESURF技術は、高電圧Nチャネル横2重拡散MOS（LDMOS）装置およびPチャネルLDMOS装置の製造に用いられる。けれども、このようなRESURF LDMOS装置を有する高性能電力装置を製造する際、種々の問題点がある。従来の高電圧電力装置は、高電圧Nチャネル（HV NMOS）装置および高電圧Pチャネル（HV PMOS）装置を最適化するために、典型的には、2重ツイン・ウエル（タンク）注入を用いる。図1は、このような2重ツイン・ウエル注入工程により製造された典型的な高性能電力装置の横断面図である。高電圧装置HV NMOS6と、高電圧装置HV PMOS7と、低電圧装置LV NMOS8と、低電圧装置LV PMOS9とが、N形基板10の上に配置される。HV NMOS6は、P形ウエル20の中にあるN形タンク21と、P形ウエル20の中にありそしてN形タンク21に隣接したDウエル28および28aとを有する。HV PMOS7は、N形ウエル40の中にあるP形タンク41と、N形ウエル40の中にありそしてP形タンク41に隣接したDウエル48および48aとを有する。LV NMOS8はP形ウエル60を有し、そしてLV PMOS9はN形ウエル80を有する。従来の2重ツイン・ウエル（タンク）工程では、N形タンク21とDウエル48とP形タンク41とDウエル28とは、典型的には、低電圧CMOS装置8および9のウエル60および80を作成するために用いられた工程とは異なる、相互に妥協した最適化工程を必要とする。分離した注入段階と拡散段階とが必要である。

【0005】 2重ツイン・ウエル注入工程は、低電圧CMOS装置の電気的パラメータを保持したまま、Nチャネル高電圧装置およびPチャネル高電圧装置の電気的パラメータを最適化するために、多重交差工程段階を必要とすることは好ましいことではない。標準形の低電圧CMOS装置および標準形の高電圧PMOS装置およびNMOS装置を有する集積回路を製造することは、典

型的には、HV PMOS装置およびHV NMOS装置に対し、余分の多くの工程段階を必要とする。

【0006】

【問題点を解決するための手段】したがって、本発明の1つの目的は、高性能電力装置を製造するための単純な方法を得ることである。

【0007】本発明のまた別の目的は、同じ集積回路の上に低電力MOS装置および高電力MOS装置を製造するのに要求される工程段階を省略した製造法を得ることである。

【0008】本発明のその他の目的およびその他の利点は、添付図面を参照しての下記説明により、当業者には容易に理解されるであろう。

【0009】2重ツイン・ウエル（タンク）注入を用いた高電圧電力装置を作成する従来の技術とは異なって、本発明では、RESURF LDMOS高電圧装置を単純に作成する際にHV PMOS装置および／またはHV NMOS装置の中にドリフト領域と共に、およびCMOS低電力装置と共に両立可能に、2重の単一ウエル工程を用いる。

【0010】

【実施例】図面は異なっても対応する番号および記号は、特に断らない限り、対応する部品を示す。

【0011】本発明の1つの好ましい実施例を下記で説明する。表1は、図面で用いられる素子名および参照番号を示し、一方、表2には、種々の素子の機能、特定の実施例、およびまた別の実施例が示されている。表1および表2は、本明細書の中に取り込まれており、そして本明細書の一部分を構成している。

【0012】図2は、HV NMOS装置6と、HV PMOS装置7と、LV NMOS装置8と、LV PMOS装置9とを備えた、本発明により作成された集積回路の横断面図である。これらの装置のおのおのは、ウエルの中に作成される。これらのウエルは、これらの装置を基板から分離する。基板10は、約8~12Ωcmという高い抵抗率を有するN形シリコンである。

【0013】図2に示されているように、HV NMOS装置6は、P形ウエル20の中にあるN形タンク21を有する。タンク21により、RESURFドリフト領域が得られる。N形タンク21の中に、HVドレイン22が作成される。HVソース24は、P形ウエル20の中に作成され、そしてHVゲート酸化物27およびHVフィールド酸化物23により、ドレイン22から分離される。HV P形ウエル接触体25は、P形ウエル20の中に作成される。HVゲート電極26は、ゲート酸化物27とフィールド酸化物23との上に配置される。オプションのミラー画像ゲートおよびソースは、P形ウエル20の中に作成されたHVソース24aで構成されることが示されている。このオプションのミラー画像ゲートおよびソースは、HVゲート酸化物27aおよびHV

フィールド酸化物23aと、P形ウエル20の中に作成されたHV P形ウエル接触体25aと、ゲート酸化物27aとフィールド酸化物23aとの上に作成されたHVゲート電極26aとにより、ドレイン22から分離される。

【0014】図2に示されているように、HV PMOS装置7は、N形ウエル40の中にあるP形タンク41を有する。タンク41により、RESURFドリフト領域が得られる。P形タンク41の中に、HVドレイン42が作成される。HVソース44は、N形ウエル40の中に作成され、そしてHVゲート酸化物47およびHVフィールド酸化物43により、ドレイン42から分離される。HV N形ウエル接触体45は、N形ウエル40の中に作成される。HVゲート電極46は、ゲート酸化物47とフィールド酸化物43との上に配置される。HV NMOS装置6に対するのと同じように、オプションのミラー画像ゲートおよびソースは、N形ウエル40の中に作成されたHVソース44aで構成されることが示されている。このオプションのミラー画像ゲートおよびソースは、HVゲート酸化物47aおよびHVフィールド酸化物43aと、N形ウエル40の中に作成されたHV N形ウエル接触体45aと、ゲート酸化物47aとフィールド酸化物43aとの上に作成されたHVゲート電極46aとにより、ドレイン42から分離される。

【0015】図2に示されているように、LV NMOS装置8はP形ウエル60を有する。LVドレイン62およびLVソース64が、P形ウエル60の中に作成される。LVドレイン62およびLVソース64は、ゲート酸化物67により分離される。LVゲート電極66は、ゲート酸化物67の上に配置される。LV PMOS装置9はN形ウエル80を有する。LVドレイン82およびLVソース84が、N形ウエル60の中に作成される。LVドレイン82およびLVソース84は、ゲート酸化物87により分離される。LVゲート電極86は、ゲート酸化物87の上に配置される。

【0016】図2になお示されているように、および本発明により、P形ウエル20および60は、例えばホウ素を用いて、1つの段階で注入することができる。N形ウエル40および80は、例えばヒ素またはリンを用いて、1つの段階で注入することができる。P形ウエル20および60に対し、ホウ素を約 $2.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。N形ウエル40および80に対しては、ほぼ同じ濃度レベルにリンを注入すれば十分である。ウエルに注入を行った後、添加不純物を駆動するのに、ただ1回の拡散段階のみが必要である。したがって、HV NMOS装置6およびLV NMOS装置8のP形ウエル20および60には、同時に注入が行われる。同様に、HV PMOS装置7およびLV PMOS装置9のN形ウエル40および80には、同時に注入が行われる。ウエル20と、ウエル40

と、ウエル60と、ウエル80とのすべてを、1回の拡散段階により、同じ深さまで駆動することができる。

【0017】図2になお示されているように、および本発明により、ドリフト領域N形タンク21は、例えばヒ素またはリンを用いて、注入することができ、そしてHV NMOS装置6に対して最適化することができる。また、ドリフト領域P形タンク41は、例えばホウ素を用いて、注入することができ、そしてHV PMOS装置7に対して最適化することができる。ドリフト領域P形タンク41に対し、ホウ素を約 $8.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。ドリフト領域N形タンク21に対し、リンを約 $3.0 \times 10^{16} / \text{cm}^3$ の濃度に注入すれば十分である。したがって、これら2つの単一ウエル20および40の中のこれら2つのドリフト領域タンク21および41（2重の単一ウエル）は、それぞれ、HV NMOS装置6およびHV PMOS装置7に対し好都合に最適化することができる。

【0018】図3～図16に、図2に示された装置を作成する処理工程が示されている。けれども、下記の図は、図2に示された分離したウエル40および80とは異なって、PMOS装置7および9は同じウエル40Aの中に作成されることに注目されたい。図3～図16はさらに、図2に示されたダブル・サイド装置とは異なって、HV NMOS装置6をシングル・サイド装置として示している。図3～図16は、図2の配置設計とは異なって、相互に続いて存在しおよびHV装置6とHV装置7との間に存在する、低電圧装置6および7を示している。

【0019】図3にはN形基板10が示されている。基板10の上に、第1酸化物層210が成長される。この第1酸化物層の上に、窒化物層220が沈着され、そしてこの窒化物がマスクされ、そしてエッチングが行われる。

【0020】図4には、注入の後のN形不純物添加体40Bが示されている。フォトレジスト230Bは、不純物添加体40Bが不必要に拡散することを防止する。注入は、酸化物層210と窒化物層220とを通して行われる。不純物添加体40Bを用いて、タンク40Aが作成される。

【0021】図5には、注入の後のP形不純物添加体20Aおよび60Aが示されている。フォトレジスト230Cは、不必要な拡散から不純物添加体20Aおよび60Aをマスクする。20Aと60Aとに対して同じ添加不純物が用いられ、1回の注入段階で注入が行われる。領域20Aおよび60Aを用いて、対応するタンク20および60が作成される。

【0022】図6は1回の拡散段階を行った結果を示した図である。この拡散段階により、N形不純物添加体40BおよびP形不純物添加体20Aおよび60Aは、HV P形ウエル20と、LV P形ウエル60と、HV／

LV N形ウエル40Aを形成する。この拡散により、すべてのウエルの中の添加不純物は、約 $8 \mu\text{m}$ のほぼ同じ深さまで、基板10の中に駆動される。

【0023】図7には、フォトレジスト230Eを通して注入を行った後のN形不純物添加体12Aおよび21Aが示されている。不純物添加体21Aは、HV P形ウエル20の中にある。不純物添加体21Aの中の不純物添加濃度は、下記で説明されるように、HV NMOS装置6のオン抵抗値を最小にするように選定される。

【0024】図8には、フォトレジスト230Fにより作成されたパターンを通して注入を行った後の、P形注入体13Aおよび41Aが示されている。不純物添加体41Aは、N形ウエル40Aの中にある。不純物添加体41Aの中の不純物添加濃度は、下記で説明されるように、HV PMOS装置7のオン抵抗値を最小にするように選定される。

【0025】図9は、1回の拡散段階を行った結果を示す図である。この拡散段階により、HVドリフト領域N形タンク21と、HVドリフト領域P形タンク41と、Nチャンネル・ストップ体12およびPチャンネル・ストップ体13とが作成される。ドリフト領域の深さは、約 $1 \sim 2 \mu\text{m}$ に限定される。したがって、ソース・ドレイン電圧(V_{ds})を加えることに応答して欠乏領域がドリフト領域21および41の中に形成され、そしてその結果生ずる電界がこの装置の表面に影響を与える。このことにより、RESURF装置のよく知られた動作に従い、表面の電圧勾配が小さくなる。

【0026】図7に関して、Nチャンネル・ストップ体12またはPチャンネル・ストップ体13は、すべての装置の間にある必要はないことに注意しておくなくてはならない。よく知られているように、相互接続のための導電体からの電界により偽のチャンネルができそうな時のような必要な時、チャンネル・ストップ体12および13を装置の間に配置することができる。チャンネル・ストップ体は、必要でない時には省略することができる。説明を明確にするために、チャンネル・ストップ体12および13は残りの工程段階では示されない。

【0027】図3～図9に関して、HVウエル20および40Aの作成、およびHVドリフト領域タンク21および41の作成は、低電圧CMOS装置を作成するための工程段階以外の付加的工程段階を必要としないで、好都合に実行できることに注目されたい。

【0028】図10には、フィールド酸化物11と、HV NMOSフィールド酸化物23と、HV PMOSフィールド酸化物43とが示されている。これらは、窒化物220で被覆されない領域の上に、熱的に成長される。酸化物の成長の後、窒化物220が除去される。その後、露出した領域の上に、ダミー酸化物240が成長される。

【0029】図11には、P形ウエル60に合わせてN

形チャンネルを注入するためのフォトレジスト・パターン2301が示されている。チャンネル調整注入の従来の技術は、CMOS8の閾値はまた、もし必要ならば、上にあるフォトレジストを適切にパターンに作成することにより、この同じ段階で最適化することができる。

【0030】図12には、N形ウエル40Aに合わせてP形チャンネルを注入するためのフォトレジスト・パターン230Jが示されている。チャンネル調整注入は、CMOS9の閾値を最適化する。HV NMOS装置7の閾値はまた、もし必要ならば、上にあるフォトレジストを適切にパターンに作成することにより、この同じ段階で最適化することができる。

【0031】図13には、注入の後のP形不純物添加体48が示されている。フォトレジスト230Kは、不純物添加体48が好ましくない拡散をすることを防止する。P形不純物添加体48は、フィールド酸化物43の作成の期間中に失われたホウ素を置き換える。

【0032】図14には、部分的HVゲート酸化物27Aおよび47Aが示されている。このゲート酸化物は、集積回路の上に酸化物を沈着し、そしてこの酸化物層をパターンに作成し、そしてエッチングすることにより作成される。この酸化物層の厚さは、図15に示されているように、後の段階で付加される酸化物と組み合わせてHVゲート酸化物27および47に対する目標厚さを生ずるように選定される。部分的HVゲート酸化物27Aおよび47Aの厚さは、例えば、800オングストロームである。

【0033】図15にはLVゲート酸化物67および87が示されている。集積回路全体の上に酸化物を沈着することにより作成され、HVゲート酸化物27および47が完成する。

【0034】図16に示されているように、ポリシリコンが沈着され、そしてエッチングが行われて、HVゲート電極26および46と、LHVゲート電極66および86とが作成される。その後、HV N+形ドレイン22と、HV N+形ソース24と、N+形接触体45と、LV N+形ドレイン62と、LV N+形ソース64とが、1回の注入段階で注入される。同様に、P+形接触体25と、HVP+形ドレイン42と、HV P+形ソース44と、LV P+形ドレイン82と、LV P+形ソース84とが、1回の注入段階で注入される。次に、ドレイン素子およびソース素子(22、24、25、42、44、45、62、64、82、および84)の全部が、1回の拡散段階で、ほぼ同じ深さまで拡散させることができる。その結果、図2の装置が得られるが、ただし、前記で説明したように、タンク40および80の代わりに単一のタンク40Aが得られる。

【0035】再び図16において、そして図2と比べると、同じウエルの中にまたは分離したウエルの中に、高

電圧装置と低電圧装置とを作成することができる。図2では、HV PMOS装置7およびLV PMOS装置9は、分離したN形ウエル40および80の中に示されている。図16では、HV PMOS装置7およびLV PMOS装置9の両方は、同じN形ウエル40Aの中に示されている。

【0036】次に、よく知られた段階を実行することにより、集積回路を完成することができる。

【0037】図17を参照して、本発明のまた別の特徴を説明する。HV PMOS装置7の正規動作の際、ソース・ドレイン電圧 V_{ds} がP+形ソース44とP+形ドレイン42との間に加えられる。HV P+形ソース44およびHV N形ウエル40は、典型的には、HV P+形ドレイン42に対して正である。ゲート電圧がHV PMOSゲート電極46に接続される。ゲート電圧(V_{gs})は、HVソースに対し、典型的には、約0~ V_{ds} の範囲内の値に保持される。HVドリフト領域P形タンク41の中に欠乏領域が形成され、そしてドリフト領域41とHVフィールド酸化物43とレベル間酸化物150との中に、電圧勾配が生ずる。等電位線301A~301Jは、電圧勾配がどのように配置されているかを示す。ドリフト領域41の中で、等電位線301Aは欠乏領域の中の最も低い電圧端(すなわち、最も低い正電圧の端)をほぼ示し、そして等電位線301Jは欠乏領域の中の最も高い電圧端(すなわち、最も高い正電圧の端)をほぼ定める。HV PMOS装置7の両端のドレイン・ソース電圧は、したがって欠乏領域は、典型的には、この装置がオフになった時に最大である。

【0038】さらに図17において、約15~80Vの範囲内で動作するように設計されたHV PMOS装置に対し、電圧ブレイクダウンを避けるために、等電位線301Aと等電位線301Jとの間に要求される最小距離D1は、HV PMOS装置7が1.8~2.0 μm の設計規則を用いた装置の上に製造される時、ドレイン42とドリフト領域41の端との間の物理的距離D2より小さい。本発明により、ドリフト領域の不純物濃度を、先行技術のRESURF装置に用いられた高いレベルまで増加することができることが発見された。不純物濃度が増加される時、ドリフト領域の抵抗率は低下するが、欠乏領域が広がっている距離は減少する。

【0039】さらに図17において、欠乏領域が広がっている距離D1は、この装置が耐えられるように設計されたブレイクダウン電圧にこの装置が耐えるのに必要な距離よりも大幅に大きくない距離にまで、小さくすることができる。ドリフト領域の中の不純物濃度を増加させる効果は、欠乏領域が広がっている距離D1を小さくすることであり、そしてドリフト領域の中に拡大ドレイン領域320を形成することである。ドリフト領域41の抵抗率 R_{on} はオン抵抗値の主要な成分であるから、ドリフト領域に対する不純物濃度をできるだけ大きく選定

することにより、 R_{on} ができるだけ小さくされる。表2に示されているように、また別のブレイクダウン電圧を備えたHV PMOS装置を構成することができる。約 $1.0\mu\text{m}$ から約 $2.5\mu\text{m}$ までの範囲の深さで、約 $1.0\times 10^{16}/\text{cm}^3$ から約 $1.0\times 10^{17}/\text{cm}^3$ までの範囲のホウ素濃度により、約15ボルトから約80ボルトまでの範囲のブレイクダウン電圧を有するHV PMOS装置7が得られる。約44ボルトのブレイクダウン電圧と約 $1.8\text{M}\Omega\text{cm}^2$ のオン抵抗率とを有するHV PMOS装置が、ドリフト領域の不純物濃度が約 $8.0\times 10^{16}/\text{cm}^3$ の時に得ることができ、実験の結果決定された。

【0040】図18において、本発明のHV NMOS装置6への応用が説明される。等電位線401Aは欠乏領域の最も高い電圧端（すなわち、最も高い正電圧の端）をほぼ定め、そして等電位線401Hは欠乏領域の中の最も低い電圧端（すなわち、最も低い正電圧の端）をほぼ定める。この装置が耐えられるように設計されたブレイクダウン電圧にこの装置が耐えるのに必要な距離よりも、欠乏領域が広がっている距離D1aが大幅に大きくないように、距離D1aが減少して拡大ドレイン420を形成するまで、HVドリフト領域21の不純物レベルを増加することにより、前記で説明されたように、HV NMOS装置に対する R_{on} を小さくすることができる。

【0041】約40ボルトのブレイクダウン電圧と $0.7\text{M}\Omega\text{cm}^2$ のオン抵抗率とを有するNMOS装置が、ドリフト領域の不純物濃度が約 $3.0\times 10^{17}/\text{cm}^3$ の時に得ることができ、実験の結果決定された。また別の濃度範囲が表2に示されている。

【0042】本発明により、多くの利点を得られる。従来可能であったよりもさらに多数個の高電圧装置を有する高性能電力集積回路を作成するために、本発明は従来の処理装置を利用することができる。

【0043】縮小された表面電界LDMOS装置の中のドリフト領域の深さと不純物濃度とを注意深く制御することにより、低電圧論理装置を作成するのに用いられるのと事実上同じ工程段階を用いて、高電圧PMOS装置および高電圧NMOS装置を作成することができる。約60ボルト以下のドレイン・ソース電圧(V_{ds})で動作するように設計された装置に対し、ドリフト領域の不純物濃度を先行技術のRESURF装置に用いられるレベル以上に増加することにより、オン抵抗値($R_{ds(on)}$)が、この特徴が用いられていない先行技術のRESURF装置から大幅に小さくされることがまた示された。この高電圧装置のブレイクダウン電圧は、($R_{ds(on)}$)を最適化するように調整される。

【0044】本発明の1つの利点は、大部分のCMOS製造工程に適用可能である単純な工程により、高電圧PMOS装置および高電圧NMOS装置を独立に、おのこの($R_{ds(on)}$)が最小になるように最適化することができることである。

【0045】本発明のまた別の利点は、低電圧装置と高電圧装置との両方を備えた集積回路の中の高電圧装置のブレイクダウン電圧を、高電圧装置のオン抵抗値を最小にするように、調整する方法が得られることである。

【0046】本発明のまた別の利点は、1つの段階でN形ウエル20および60を注入する段階と、1つの段階でP形ウエル40および80を注入する段階と、低電圧装置と高電圧装置に対しこのウエルを同時に拡散する段階とによる、単純化された工程が得られることである。

【0047】本発明のさらに別の利点は、チャンネル・ストップ体12と同じ段階でドリフト領域21を注入することができ、およびチャンネル・ストップ体13と同じ段階でドリフト領域41を注入することができ、および1回の拡散段階でドリフト領域21および41と、チャンネル・ストップ体12および13を作成することができることである。これらの段階の期間中、ドリフト領域21の濃度とドリフト領域41の濃度とを最適化することができる。それは、チャンネル・ストップ体12および13の濃度が決定的ではないからである。

【0048】例示された実施例に基づいて本発明が説明されたが、この説明は、本発明の範囲がこれらの実施例に限定されることを意味するものではない。前記説明から当業者には、本発明の範囲内で種々の他の実施例の可能であることが理解されるであろう。例えば、種々の素子のまた別の例の非排他的な組が、表2に与えられている。また別の実施例では、N形基板またはP形基板10のいずれをも用いることができる。それは、すべての装置が、ウエル20、40、60および80により分離されているからである。したがって、これらの実施例を種々に変更した実施例はすべて、本発明の範囲内に包含されるものと理解されなければならない。

【0049】

【表1】

表 1	
素子	素子名
6	H V N M O S 装置
7	H V P M O S 装置
8	L V N M O S 装置
9	L V P M O S 装置
10	基板
11	フィールド酸化物
12	N形チャンネル・ストップ体
13	P形チャンネル・ストップ体
20	H V P形ウェル
21	H V ドリフト領域 (N) 形タンク
22	H V N+形ドレイン
23	H V N M O S フィールド酸化物
24, 24a	H V N+形ソース

【表2】

表1 (続き)	
素子	素子名
25, 25a	HV P+P形接触体領域
26, 26a	HV NMOSゲート電極
27	HV NMOSゲート酸化物
40	HV N形ウエル
41	HVドリフト領域(P)形タンク
42	HV P+形ドレイン
43	HV PMOSフィールド酸化物
44, 44a	HV P+形ソース
45, 45a	HV N+N形接触体領域
46, 46a	HV PMOSゲート電極
47	HV PMOSゲート酸化物
48	HV PMOSドリフト領域リム調整
60	HV P形ウエル
62	LV N+形ドレイン
64	LV N+形ソース
66	LV NMOSゲート電極
67	LV NMOSゲート酸化物
80	LV N形ウエル
82	LV P+形ドレイン
84	LV P+形ソース
86	LV PMOSゲート電極
87	LV PMOSゲート酸化物
101	HVドレイン電極
103	HVソース電極
150	レベル間酸化物
210	第1酸化物
220	窒化物

【表3】

表1 (続き)	
素子	素子名
230	フォトレジスト
240	ダミー酸化物
301A-301J	PMOS等電位線
320	PMOS拡大ドレイン
420	NMOS拡大ドレイン

【0050】

【表4】

表2			
案子	機能	特定の実施例 HVN MOS ₂ プレーナゲーション=30V、 HVP MOS ₂ プレーナゲーション=30V、	別の実施例 HV プレーナゲーション= # 15-80V
10	基板	8-120cm(N-)Si、	8-120cm(P-)Si
11	装置の間の分離	熱的Si酸化物、 厚さ約9300Å	
12	偽チャネルの生成 の禁止	作成された(P+)、 深さ約 2μm	
13	偽チャネルの生成 の禁止	作成された(N+)、 深さ約 2μm	
20	局在した半導体性基 板ウエル	作成された(P)、 約 $2.0 \times 10^{16} / \text{cm}^3$ 、 深さ約 8μm	約 $1.0 \times 10^{16} \sim$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ約4.0-10.0μm、
21	表面電界を小さくす るためのドレイン欠 乏領域	作成された(N)、 約 $3.0 \times 10^{17} / \text{cm}^3$ 、 深さ約 1.1μm	約 $5.0 \times 10^{16} \sim$ $5.0 \times 10^{17} / \text{cm}^3$ 、 深さ約1.0-2.5 μm
22	高伝導度ドレイン接 触体領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5μm	

【表5】

表2 (続き)			
素子	機能	特定の実施例 HVN MOS2 プレ-リフトン=30V, HVP MOS2 プレ-リフトン=30V,	別の実施例 HV7レ-リフトン= 約 15-80V
23	ドレインおよびソース領域からゲートを絶縁する	熱的Si酸化物、 深さ約 9700Å	
24	ソース領域	作成された(N+), 約 $1.0 \times 10^{19} / \text{cm}^3$, 深さ約 0.5 μm	
25	高伝導度タンク接触体領域	作成された(P+), 約 $1.0 \times 10^{19} / \text{cm}^3$, 深さ約 0.5 μm	
26	ゲート電極	ポリSi	Al, Cu のような金属
27	導電体領域からゲート電極を絶縁する	Si酸化物、 約 1000Å	
40	局在した半導体性基板ウエル	作成された(N), 約 $1.5 \times 10^{16} / \text{cm}^3$, 深さ約 8 μm	約 $1.0 \times 10^{15} \sim$ $5.0 \times 10^{16} / \text{cm}^3$, 深さ約 4.0-10 μm ,
41	表面電界を小さくするためのドレイン欠乏領域	作成されたホウ素(P), 約 $8.0 \times 10^{16} / \text{cm}^3$, 深さ約 1.1 μm	約 $0.1-3.0 \times 10^{17} / \text{cm}^3$, 約 1.0-2.5 μm
42	高伝導度ドレイン接触体領域	作成された(P+), 約 $1.0 \times 10^{19} / \text{cm}^3$, 深さ約 0.5 μm	
43	ドレインおよびドリフト領域からゲートを絶縁する	熱的Si酸化物、 約 9300Å	

【表6】

表2 (続き)			
素子	機能	特定の実施例 HVNMOS270-1197=30V, HVPNMOS270-1197=30V,	別の実施例 HV70-1197= 15-80V
44	ソース領域	作成された(P ⁺)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
45	高伝導度タンク接触 体領域	作成された(N ⁺)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
46	ゲート電極	ポリSi	Al, Cu のような金属
47	導電体領域からゲート を絶縁する	沈着されたSi酸化物、 約 1000Å	
48	欠乏したホウ素を置 き換える	作成されたホウ素、 約 $1.0 \times 10^{13} / \text{cm}^3$ 、	約 $0.5-1.5 \times 10^{13} / \text{cm}^3$
60	局存した半導体性基 板ウェル	作成された(P)、 約 $2.0 \times 10^{16} / \text{cm}^3$ 、	約 $1.0 \times 10^{15}-$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ4.0-10.0 μm
62	ドレイン領域	作成された(N ⁺)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
64	ソース領域	作成された(N ⁺)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
66	ゲート電極	ポリSi、	Al, Cu のような金属
67	ゲート電極を絶縁す る	沈着されたSi酸化物、 約 350Å	

【表7】

表2 (続き)			
番号	機能	特定の実施例 NPNMOSトランジスタ=30V、 NPNMOSトランジスタ=30V、	別の実施例 MOS=15-80V
80	局在した半導体性基板ウェル	作成された(N)、 約 $1.5 \times 10^{16} / \text{cm}^3$ 、	約 $1.0 \times 10^{15} -$ $5.0 \times 10^{16} / \text{cm}^3$ 、 深さ4.0-10.0 μm
82	ドレイン領域	作成された(P+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
84	ソース領域	作成された(N+)、 約 $1.0 \times 10^{19} / \text{cm}^3$ 、 深さ約 0.5 μm	
86	ゲート電極	ポリSi、	Al, Cu のような金属
87	ゲート電極を絶縁する	Si酸化物、 約 350Å	
101	ドレイン電極	ポリSi、	f) Al, Cu のような金属 p) 耐熱金属ケイ化物
103	ソース電極	ポリSi、	f) Al, Cu のような金属 p) 耐熱金属ケイ化物
150	導電体層を絶縁する	Si酸化物	
210	窒化物に対しエッチング停止、 結晶表面を保護する	熱的酸化物、 約 400Å	
220	フィールド酸化物に 対するマスク	沈着されたSi ₃ N ₄ 、 約 1200Å	
230	注入に対するマスク		
240	結晶表面を保護する	熱的酸化物、 約 400Å	

【表8】

表2 (続き)			
案子	機能	特定の実施例 BYNMOS2 1 7 1 - 1 7 1 7 1 -30V、 BYPMOS2 1 7 1 - 1 7 1 7 1 -30V、	別の実施例 HV7 1 - 1 7 1 7 1 - h 15~80V
301A ~ 301J	等電位線	5 ボルト段階差	
320	ソース・ドレインの 全抵抗値を最小にする	ドレイン欠乏領域を最小にするためにドリフト領域不純物添加量を最適化する	
401A ~ 401H	等電位線	5 ボルト段階差	
420	ソース・ドレインの 全抵抗値を最小にする	ドレイン欠乏領域を最小にするためにドリフト領域不純物添加量を最適化する	

【0051】以上の説明に関して更に以下の項を開示する。

(1) 低電圧トランジスタを低電圧ウエルの中に作成することができるようにかつ半導体基板から分離することができるように、前記半導体基板の中に前記低電圧ウエルを作成する段階と、高電圧トランジスタを高電圧ウエルの中に作成することができるようにかつ前記半導体基板から分離することができるように、前記半導体基板の中に前記高電圧ウエルを同時に作成する段階と、を有する、低電圧装置と高電圧装置とを備えた集積回路の製造法。

(2) 第1項記載の製造法において、前記低電圧ウエルおよび前記高電圧ウエルの前記同時作成段階が半導体性基板を高電圧部分と低電圧部分とのパターンに作成する段階と、前記高電圧部分と前記低電圧部分との中に一定の濃度の不純物を同時に注入する段階と、前記半導体性基板の中の同じ深さまで前記高電圧部分および前記低電圧部分の中に前記濃度の不純物を拡散する段階と、を有する、前記製造法。

(3) 第2項記載の製造法において、前記ウエルが約 $2.0 \times 10^{16} / \text{cm}^3$ のN形不純物濃度を用いて注入され、かつ前記ウエルが前記半導体性基板の中に約8

μm の深さまで拡散される、前記製造法。

(4) 第2項記載の製造法において、前記ウエルが約 $1.5 \times 10^{16} / \text{cm}^3$ のP形不純物濃度を用いて注入され、かつ前記ウエルが前記半導体性基板の中に約8 μm の深さまで拡散される、前記製造法。

【0052】(5) 低電圧NMOSトランジスタを低電圧ウエルの中に作成することができるようにかつ半導体基板から分離することができるように、およびNMOS高電圧トランジスタを高電圧NMOSウエルの中に作成することができるように、半導体性基板を前記低電圧NMOSウエルおよび前記高電圧NMOSウエルのパターンに作成する段階と、前記低電圧NMOSウエルおよび前記高電圧NMOSウエルの中に第1P形不純物濃度を同時に注入する段階と、低電圧PMOSトランジスタを低電圧PMOSウエルの中に作成することができるように、および高電圧PMOSトランジスタを高電圧PMOSウエルの中に作成することができるように、前記半導体性基板を前記低電圧PMOSウエルおよび前記高電圧PMOSウエルのパターンに作成する段階と、前記低電圧PMOSウエルおよび前記高電圧PMOSウエルの中に第1N形不純物濃度を同時に注入する段階と、前記半導体性基板の中のほぼ同じ第1深さまで前記第1N形不純物濃

度および前記第 1 P 形不純物濃度を同時に拡散する段階と、を備えた、低電圧 PMOS 装置と、低電圧 NMOS 装置と、高電圧 PMOS 装置と、高電圧 NMOS 装置と、を有する集積回路の製造法。

(6) 第 5 項記載の製造法において、前記高電圧 PMOS ウエルを高電圧 PMOS ドリフト領域のパターン作成する段階と、前記高電圧 PMOS ドリフト領域に第 2 P 形不純物濃度を注入する段階と、前記高電圧 NMOS ドリフト領域に第 2 N 形不純物濃度を注入する段階と、前記ドリフト領域の中に前記第 2 N 形不純物濃度および前記第 2 P 形不純物濃度を同時に拡散する段階と、を有する前記製造法。

(7) 第 6 項記載の製造法において、前記第 1 P 形不純物濃度が約 $1.0 \times 10^{15} / \text{cm}^3$ から $5.0 \times 10^{16} / \text{cm}^3$ までの範囲内にあり、前記第 1 N 形不純物濃度が約 $1.0 \times 10^{15} / \text{cm}^3$ から $5.0 \times 10^{16} / \text{cm}^3$ までの範囲内にあり、前記第 1 深さが約 $4.0 \mu\text{m}$ から $10.0 \mu\text{m}$ までの範囲内にあり、前記第 2 P 形不純物濃度が約 $1.0 \times 10^{16} / \text{cm}^3$ から $3.0 \times 10^{17} / \text{cm}^3$ までの範囲内にあり、前記第 2 N 形不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ から $5.0 \times 10^{17} / \text{cm}^3$ までの範囲内にあり、前記第 2 深さが約 $1.0 \mu\text{m}$ から $2.5 \mu\text{m}$ までの範囲内にある、前記製造法。

【0053】(8) 第 6 項記載の製造法において、前記第 1 P 形不純物濃度が約 $2.0 \times 10^{16} / \text{cm}^3$ であり、前記第 1 N 形不純物濃度が約 $1.5 \times 10^{16} / \text{cm}^3$ であり、前記第 1 深さが約 $8.0 \mu\text{m}$ であり、前記第 2 P 形不純物濃度が約 $8.0 \times 10^{16} / \text{cm}^3$ であり、前記第 2 N 形不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ であり、前記第 2 深さが約 $1.1 \mu\text{m}$ である、前記製造法。

(9) 半導体性基板の中に作成され、かつ一定の不純物濃度レベルを有する、ウエルと、前記ウエルの中に作成され、かつ反対形の不純物濃度レベルを有する、ドリフト領域と、前記ドリフト領域の中に作成されたドレインと、前記ドリフト領域の中に作成され、かつ前記ドレインに電圧が加えられる時前記ドレインに連結されかつそれにより $R_{ds(on)}$ が最小にされる、拡大ドレインと、を有する、高電圧トランジスタ。

【0054】(10) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1 \times 10^{15} / \text{cm}^3$ から $5 \times 10^{16} / \text{cm}^3$ までの範囲内にあって P 形であり、前記ドリフト領域不純物濃度が約 $5 \times 10^{16} / \text{cm}^3$ から $5 \times 10^{17} / \text{cm}^3$ までの範囲内にあって N 形である、前記高電圧トランジスタ。

(11) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $2 \times 10^{16} / \text{cm}^3$ で P 形であり、前記ドリフト領域不純物濃度が約 $3 \times 10^{17} / \text{cm}^3$ で N 形である、前記高電圧トランジスタ。

タ。

(12) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1 \times 10^{15} / \text{cm}^3$ から $5 \times 10^{16} / \text{cm}^3$ までの範囲内にあって N 形であり、前記ドリフト領域不純物濃度が約 $1 \times 10^{16} / \text{cm}^3$ から約 $3 \times 10^{17} / \text{cm}^3$ までの範囲内にあって P 形である、前記高電圧トランジスタ。

(13) 第 9 項記載の高電圧トランジスタにおいて、前記ウエル不純物濃度レベルが約 $1.5 \times 10^{16} / \text{cm}^3$ で N 形であり、前記ドリフト領域不純物濃度が約 $8 \times 10^{16} / \text{cm}^3$ で P 形である、前記高電圧トランジスタ。

(14) 第 1 項記載の製造法において、前記低電圧ウエルの中に低電圧トランジスタを作成する段階と、前記高電圧ウエルの中に高電圧トランジスタを作成する段階と、をさらに有する、前記製造法。

【0055】(15) 半導体性基板の中に低電圧ウエルと高電圧ウエルとを同時に作成する段階と、前記低電圧ウエルが低電圧トランジスタを前記半導体性基板から分離するように、前記低電圧トランジスタを前記低電圧ウエルの中に作成する段階と、前記高電圧ウエルが高電圧トランジスタを前記半導体性基板から分離するように、前記高電圧トランジスタを前記高電圧ウエルの中に作成する段階と、を有する、低電圧装置および高電圧装置を備えた集積回路の製造法。

(16) 第 5 項記載の製造法において、低電圧 NMOS ウエルの中に低電圧 NMOS トランジスタを作成する段階と、低電圧 PMOS ウエルの中に低電圧 PMOS トランジスタを作成する段階と、高電圧 NMOS ウエルの中に高電圧 NMOS トランジスタを作成する段階と、高電圧 PMOS ウエルの中に高電圧 PMOS トランジスタを作成する段階と、をさらに有する、前記製造法。

(17) 高電圧 PMOS 装置および/または高電圧 NMOS 装置、および低電圧 PMOS 装置および/または低電圧 NMOS を有する集積回路と、多くの方式の半導体処理工程に適応可能である前記装置とを、製造する簡単でかつ低コストの方法が得られる。さらに、 R_{on} の値を最適化することができるように、前記高電圧装置のブレークダウン電圧を容易に調整することができる。低電圧 MOS 装置 8 および 9 を作成すると事実上同じ工程段階を用いて、高電圧 MOS 装置 6 および 7 が基板 10 の上に作成される。等電位線 301A および等電位線 301J を境界とする欠乏領域距離 D1、および等電位線 401A および等電位線 401H を境界とする欠乏領域距離 D1a は、それぞれ、ドリフト領域 41 および 21 の物理的寸法 D2 および D2a より小さいように、HV ドリフト領域 N 形タンク 21 および HV ドリフト領域 P 形タンク 41 に対する不純物濃度レベルを選定することにより、低い値の R_{on} が得られる。

【図面の簡単な説明】

【図 1】同じ基板の上に従来の技術を用いて製造された HV NMOS と、HV PMOS と、LV NMOS と、LV PMOS とを示した集積回路の横断面図。

【図 2】同じ基板の上に本発明の技術を用いて製造された HV NMOS と、HV PMOS と、LV NMOS と、LV PMOS とを示した集積回路の横断面図。

【図 3】本発明による集積回路を製造する好ましい方法の最初の段階を示した横断面図。

【図 4】本発明による集積回路を製造する好ましい方法の図 3 に示された段階の次の段階を示した横断面図。

【図 5】本発明による集積回路を製造する好ましい方法の図 4 に示された段階の次の段階を示した横断面図。

【図 6】本発明による集積回路を製造する好ましい方法の図 5 に示された段階の次の段階を示した横断面図。

【図 7】本発明による集積回路を製造する好ましい方法の図 6 に示された段階の次の段階を示した横断面図。

【図 8】本発明による集積回路を製造する好ましい方法の図 7 に示された段階の次の段階を示した横断面図。

【図 9】本発明による集積回路を製造する好ましい方法の図 8 に示された段階の次の段階を示した横断面図。

【図 10】本発明による集積回路を製造する好ましい方法の図 9 に示された段階の次の段階を示した横断面図。

【図 11】本発明による集積回路を製造する好ましい方法の図 10 に示された段階の次の段階を示した横断面図。

【図 12】本発明による集積回路を製造する好ましい方法の図 11 に示された段階の次の段階を示した横断面図。

【図 13】本発明による集積回路を製造する好ましい方法の図 12 に示された段階の次の段階を示した横断面図。

【図 14】本発明による集積回路を製造する好ましい方法の図 13 に示された段階の次の段階を示した横断面図。

【図 15】本発明による集積回路を製造する好ましい方法の図 14 に示された段階の次の段階を示した横断面図。

【図 16】本発明による集積回路を製造する好ましい方法の図 15 に示された段階の次の段階を示した横断面図。

【図 17】電界の等電位線および拡大ドレイン領域を示した HV PMOS 装置の横断面図。

【図 18】電界の等電位線および拡大ドレイン領域を示した HV NMOS 装置の横断面図。

【符号の説明】

20、40 ウエル

21、41 ドリフト領域

22、42 ドレイン

320、420 拡大ドレイン

THIS PAGE BLANK (USPTO)